



Journée technologique du 9 décembre 2010 à Grenoble

Comment les FPGA et l'instrumentation modulaire
transforment les systèmes de test et de validation

**Réalisation d'un instrument de gestion de protocole
de communication basé sur du matériel FlexRIO
au sein d'un banc de test automatisé
chez ST-Ericsson**

**Jean-Louis Schricke
MESULOG**

- ➔ **Introduction**
- ➔ **Le projet RFTS**
- ➔ **Nouveau besoin client**
- ➔ **Mise en œuvre de la carte NI-FlexRIO**
- ➔ **Feed-back**
- ➔ **Conclusion**

➔ MESULOG en bref

- Activité : Développement logiciel test et mesure
- Compétence : TestStand, LabVIEW (Windows, RT, PDA, FPGA)
- Création : mars 2000
- Localisation : Grenoble
- Taille : « humaine » (5 personnes dont 4 ingénieurs)
- Partenaire National Instruments
- Développeurs certifiés LabVIEW et TestStand



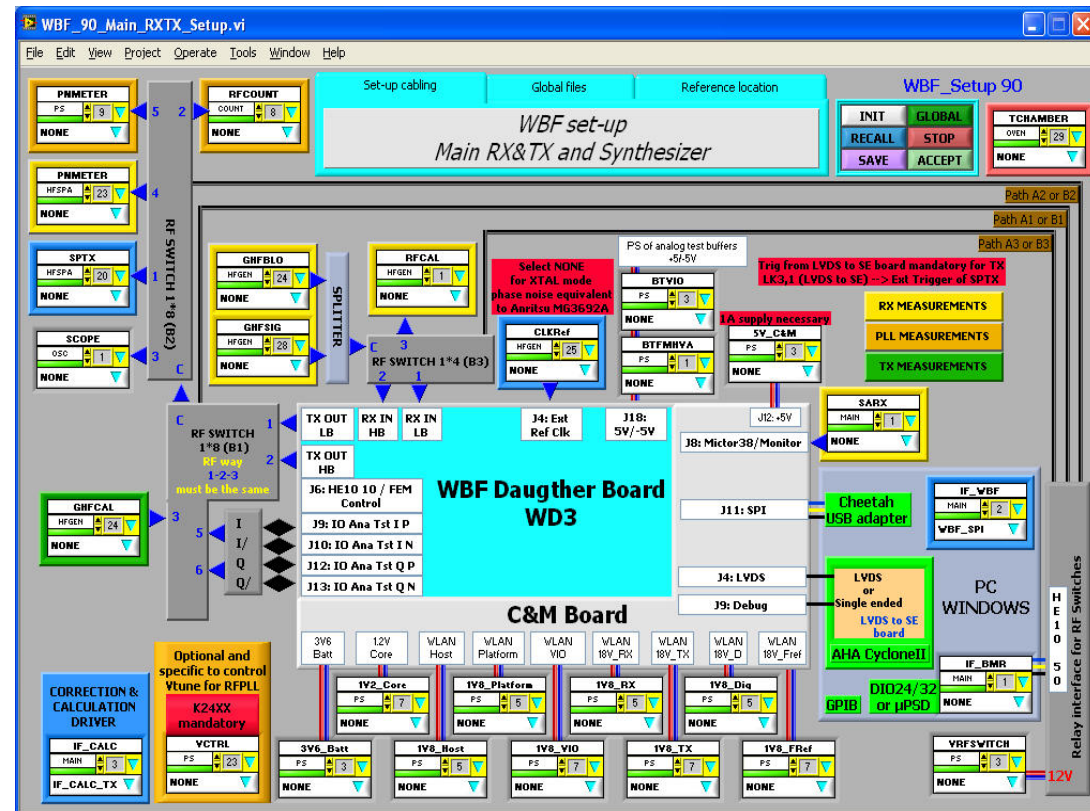
➔ Vue d'ensemble

- « Robust and Fast Testing Solution »
- Solution complète de validation et de caractérisation de circuits RF
- Plus de 40000 mesures sur les produits récents
- Utilisation Worldwilde
- Communauté de développeurs
- Partenariat :
 - ST-Ericsson
 - National Instruments
 - Mesulog
 - Saphir

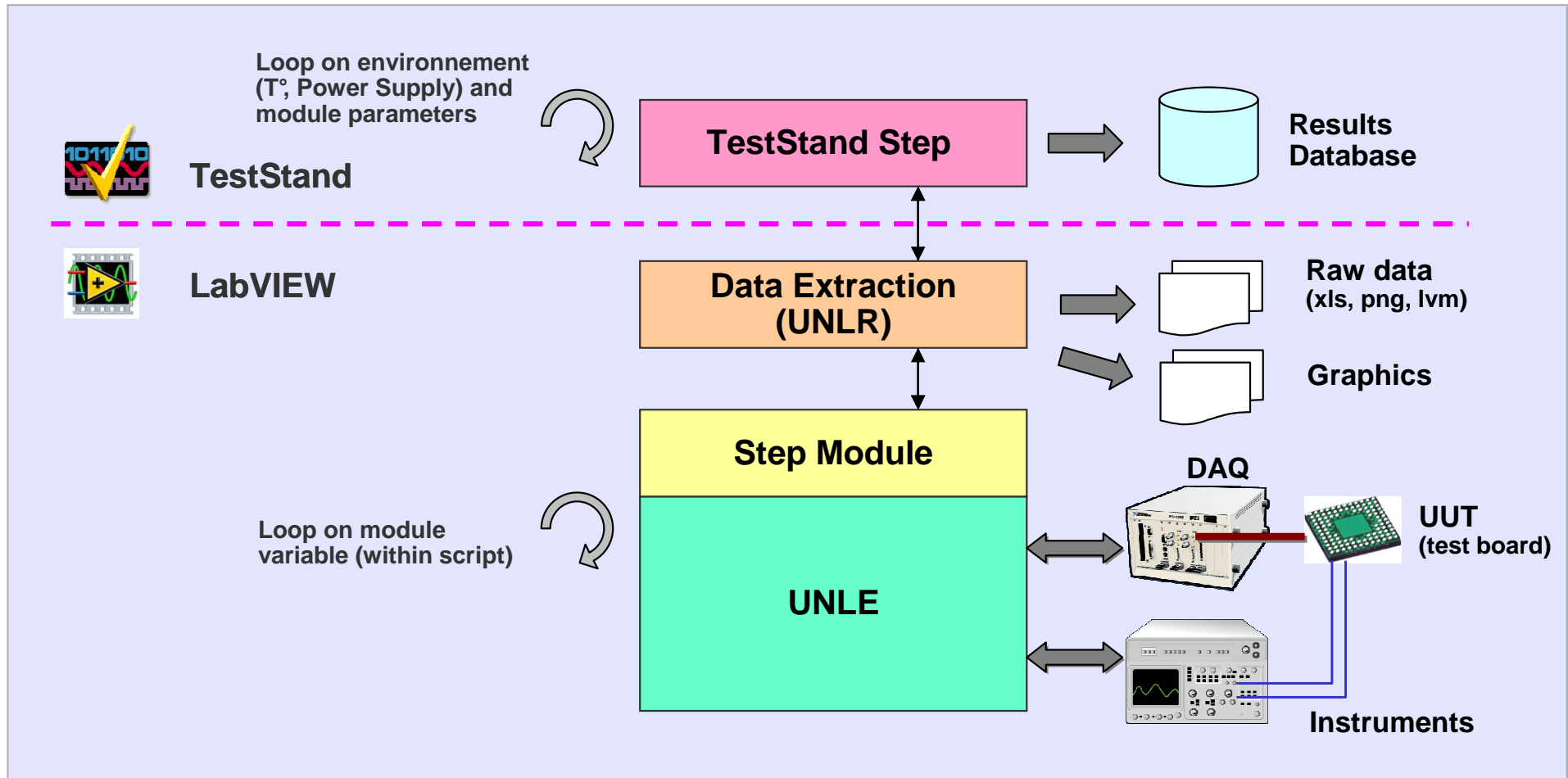


➔ Noyau UNL (LabVIEW)

- Pilotage instruments avec interchangeabilité
- Modules de mesure standards ou personnalisés
- Scripts
- Variables partagées
- Gestion de « Setup »



➔ Automatisation (TestStand, TS+)



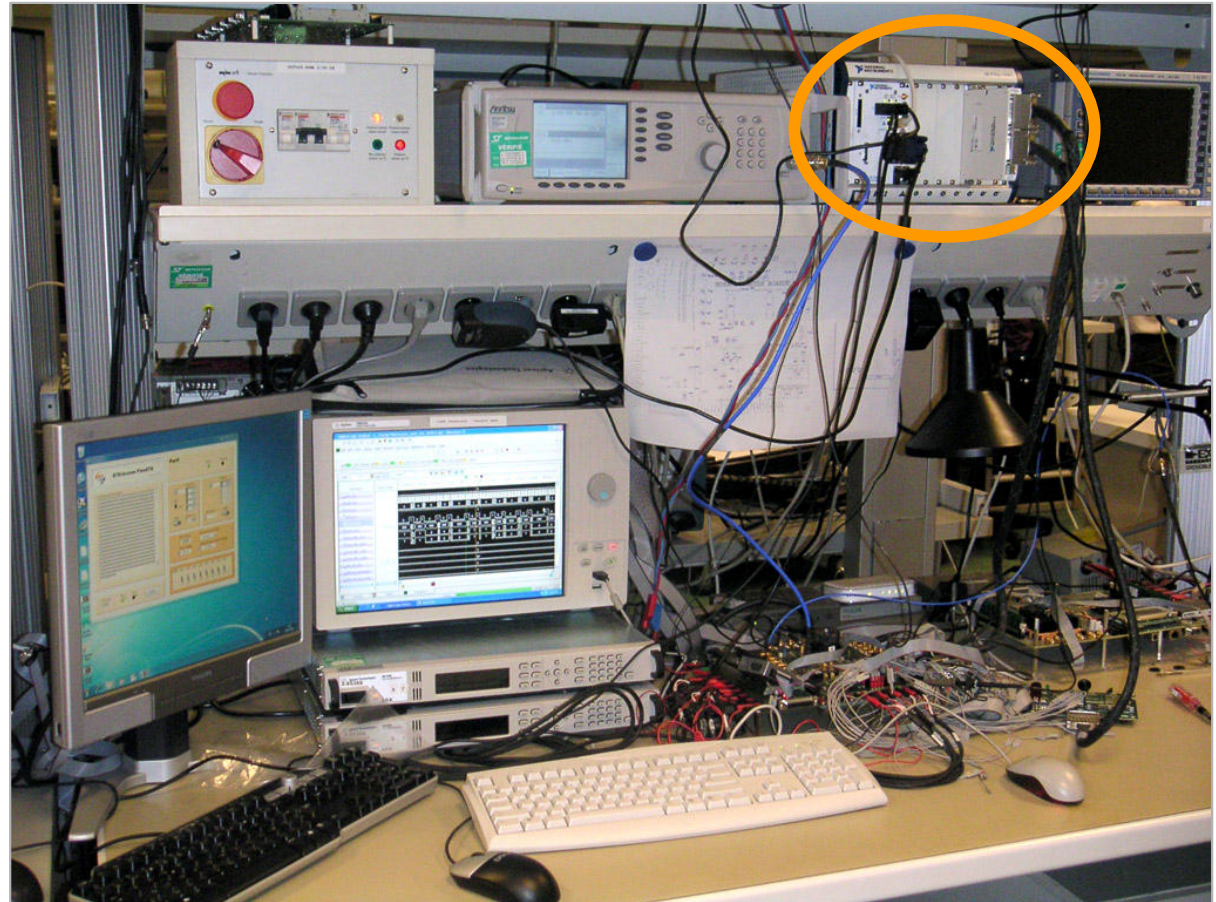
➔ Instrument FlexSTE

- Autonome, sur étagère
- Gérant le protocole de communication avec l'objet sous test
- Performant (clock > 40 MHz)
- Communicant via TCP/TP
- Evolutif et modulaire
- Protocoles
 - Propriétaire Nokia
 - SPI
 - I2C, I2S
 - DIGRF...



➔ La solution

- Châssis PXI Express avec contrôleur embarqué PXIe-8108
- Carte NI-FlexRIO PXIe-7962R



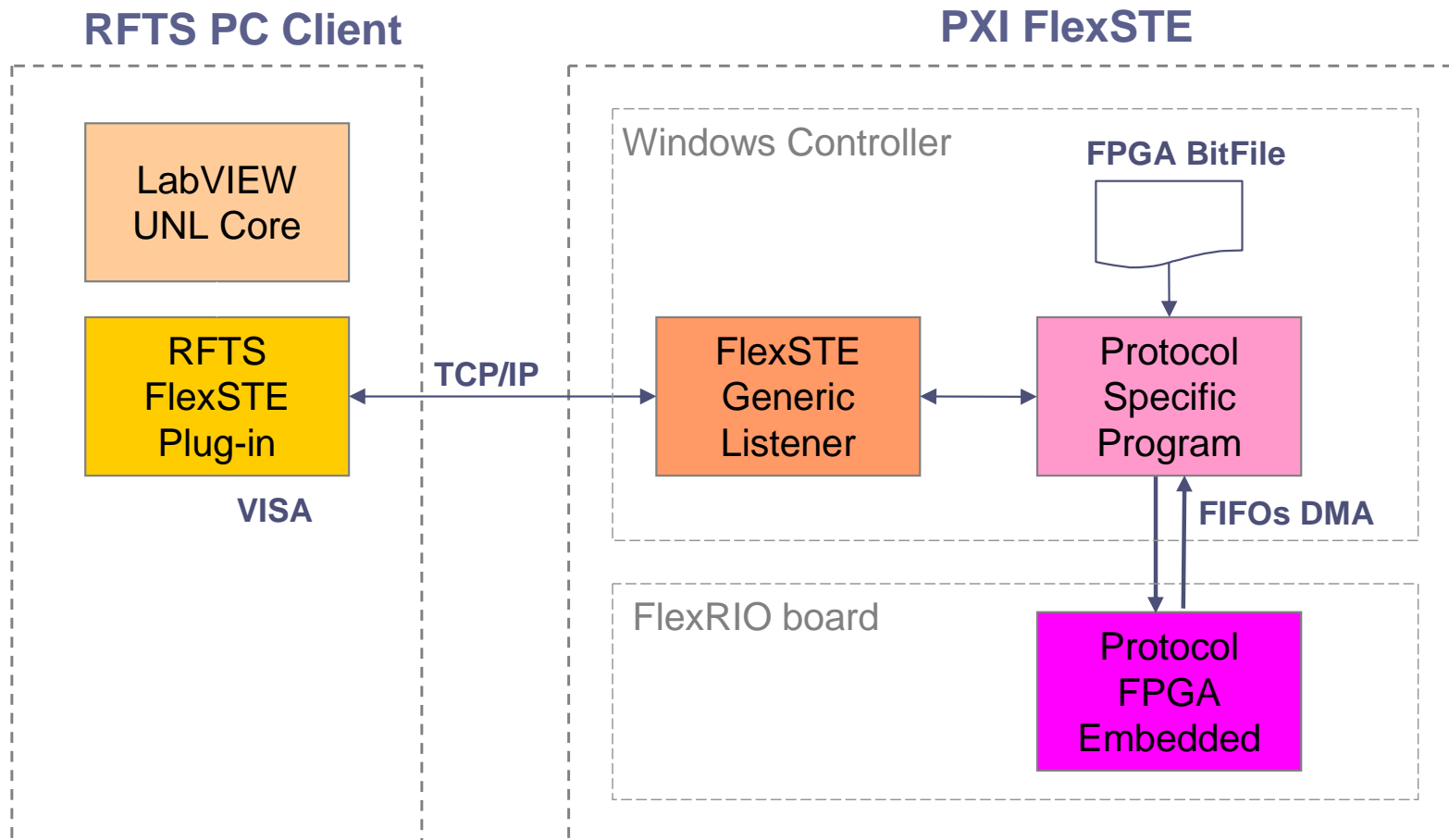
➔ Attentes côté développement FPGA

- Horloge interne (38.4MHz, 40MHz, 52MHz) ou externe
- Horloge bus diviseur de 2 à 4096
- Génération horloge fréquence double (ExtFreq)
- Ligne Data bidirectionnelle
- Echange Data jusqu'à 10M mots (U16)
- Lignes GPIO auxiliaires

➔ Attentes côté développement Windows

- Modularité, Evolutivité
- Maintien connexion TCP/IP même si Run VI Source

➔ Architecture logicielle



Face avant
exécutable
embarqué

192.168.0.63 - Bureau à distance

FlexSTE Host

STEricsson FlexSTE V1.3.0.897 Mesulog 2009

Last Received messages

```

11:46:56.390| stop
11:46:57.703| start Protocol: RFBUS, RefClk: 38.4MHz,
BusClk: RefClk/4, Voltage: 1.8V
11:46:59.062| set_gpio DO2 OFF
11:46:59.125| set_gpio DO1 OFF
11:46:59.187| set_gpio DO0 OFF
11:46:59.328| reset
11:46:59.406| set_gpio DO2 OFF
11:46:59.468| set_gpio DO1 OFF
11:46:59.546| set_gpio DO0 OFF
11:46:59.656| reset
11:47:00.156| set_gpio DO1 ON
11:47:00.250| set_gpio DO2 ON
11:47:39.359| write 2 h0012 h47DC
11:47:39.453| write 2 h0049 h0003
11:47:39.593| write 2 h0015 h0363
11:47:39.687| write 2 h002A h0001
11:47:39.781| write 2 h0036 h87DC
11:47:39.890| write 2 h0054 h0000
11:47:39.953| write 2 h004C h04CF
11:47:40.046| write 2 h0034 h0043
11:47:40.125| write 2 h0025 h3685
11:47:40.187| write 2 h0055 h51C0
11:47:40.265| write 2 h0057 h0000
11:47:40.328| write 2 h0051 h9FC7
11:47:40.406| write 2 h0052 hC300
    
```

RFBUS Mesulog 2009

Extended

Device: 10 Address: 000 Reset

Data Out: 0, 00AA, 0000, 0000, 0000

Data In: 0, 0000, 0000, 0000, 0000

Timeout: Data Ready

Nb Words: 1 Write

Nb Words: 1 Read

FPGA Clock: 38.4MHz

Protocol Clock Speed: RefClk/4

Power Supply: Internal

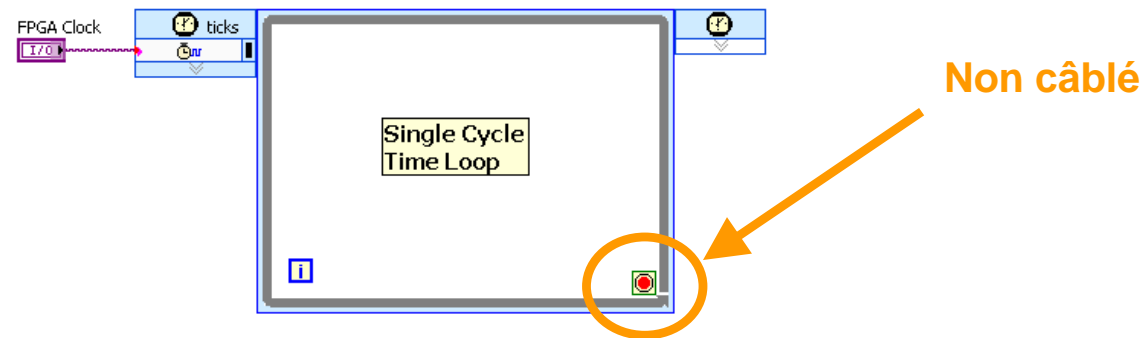
Internal Power Supply Voltage: 1.8 Volts

GPIO: DO7 OFF, DO6 OFF, DO5 OFF, DO4 OFF, DO3 OFF, DO2 ON, DO1 ON, DO0 OFF

TCP port: 50000 Busy Error STOP

➔ Horloge externe et LabVIEW FPGA

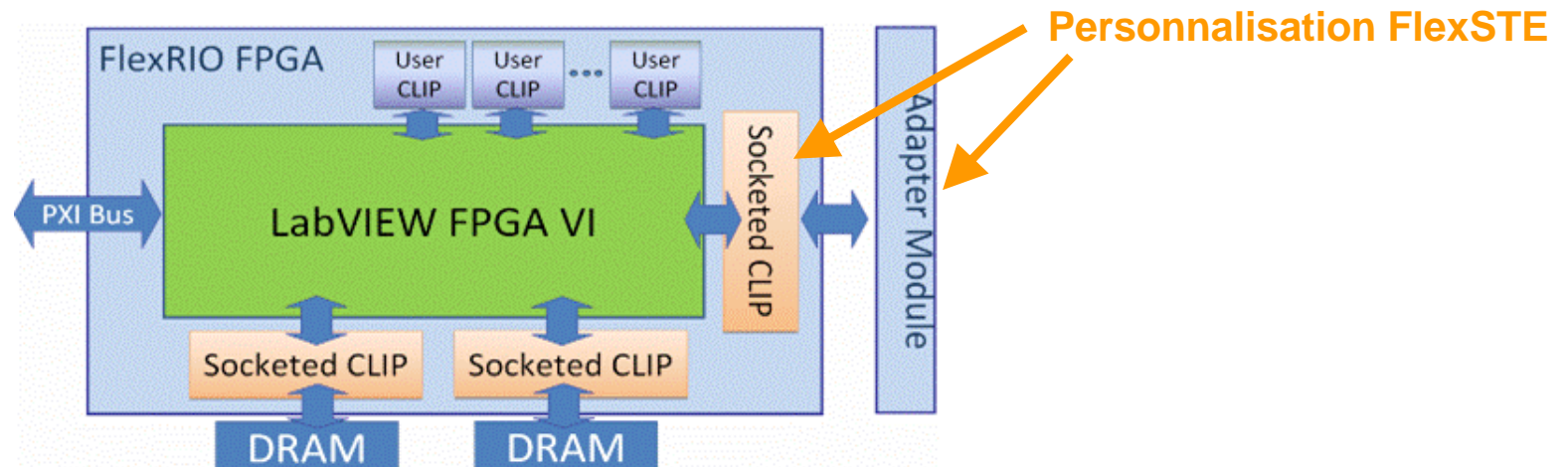
- Single Cycle Time Loop obligatoire
- Boucle nécessairement sans condition arrêt (Loop until Abort)



➔ Programmation du protocole dans une machine d'état

- Différents modes « Write » et « Read »
- Génération ou acquisition N mots de B bits

➔ Personnalisation



- Socketed CLIP (Component Level IP)
 - Génération horloges dérivées par DCM (x2, /2, /4)
 - Implémentation de code VHDL
- Adapter module DIGRF
 - Très haut débit (1.4 Gbits/s)



➔ Points forts

- Prise en main LabVIEW FPGA apparemment facile
- Tutoriels, documentation et exemples nombreux
- Support National Instruments



➔ Difficultés rencontrées

- Clock FPGA externe très contraignante
- Registres de synchronisation lors inversion ligne
- Un seul programme FPGA embarqué



➔ A améliorer

- Temps de compilation élevé
- Debug relativement difficile

**« Grâce à la carte NI-FlexRIO
embarquée dans un châssis PXI autonome,
les équipes RF labo disposent désormais
d'un équipement modulaire destiné à
maîtriser la connaissance digitale liée aux
développements en radiocommunication »**

Sylvain Bertrand



